

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000054938 A
 (43)Date of publication of application: 05.09.2000

(21)Application number: 1019990003309
 (22)Date of filing: 01.02.1999

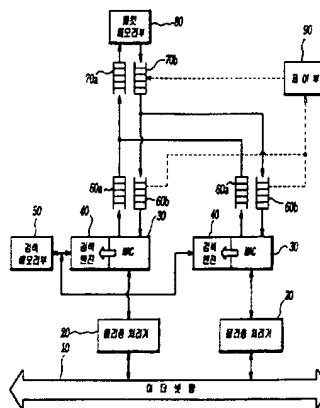
(71)Applicant: LG INFORMATION & COMMUNICATIONS LTD.
 (72)Inventor: PARK, SEONG JUN

(51)Int. Cl. H04L 12 /66
 H04L 12 /58
 H04L 12 /28

(54) APPARATUS FOR PROCESSING PACKET OF ETHERNET INTERFACE DEVICE

(57) Abstract:

PURPOSE: An apparatus for processing a frame packet of an Ethernet interface device is provided to minimize delay time of a frame packet by detecting output ports from destination address information and source address information in a retrieval engine, as processing a packet field in a medium access controller(MAC) when the frame packet received from an Ethernet network is processed in an Ethernet interface device. CONSTITUTION: An apparatus for processing a frame packet of an Ethernet interface device comprises medium access controllers(MACs) and retrieve engines. The MACs analyze field information included in the frame packet received from an Ethernet network. The retrieve engines analyze information of a destination address of the frame packet and information of a source address. The retrieve engines decide output ports. The apparatus locates the retrieve engines in same layers with the MACs. The retrieve engines control share numbers of the MACs connected to ports of the Ethernet network, according to a change of a using frequency clock. The retrieve engines share a retrieve memory storing a destination internet protocol(IP) to decide an output port.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination ()
 Notification date of refusal decision ()
 Final disposal of an application (application)
 Date of final disposal of an application ()
 Patent registration number ()
 Date of registration ()
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent ()
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

공개특허특2000-0054938

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶
H04L 12/66
H04L 12/58

(11) 공개번호 특2000-
(43) 공개일자 0054938
 2000년09월05일

(21) 출원번호 10-1999-0003309

(22) 출원일자 1999년02월01일

(71) 출원인 엘지정보통신 주식회사 서평원
 서울특별시 강남구 역삼동 679

(72) 발명자 박성준
 경기도안양시만안구안양8동377-1삼호수정아파트101동508호

(74) 대리인 김영철

심사청구: 없음

(54) 이더넷 정합장치의 패킷 처리장치 및 방법

요약

이더넷 정합장치에서 이더넷 망에서 수신되는 프레임 패킷에 포함된 필드 정보를 분석하는 MAC와 상기 프레임 패킷에 포함된 목적지 어드레스 정보와 소오스 어드레스 정보를 분석하여 출력 포트를 결정하는 검색 엔진을 상기 MAC와 동일 계층에 위치시켜 구성하여, 수신되는 프레임 패킷을 처리함에 있어 MAC에서 패킷 필드의 처리를 실행함과 동시에 검색 엔진에서 목적지 어드레스 정보와 소오스 어드레스 정보로부터 출력 포트를 검출하므로 수신되는 프레임 패킷의 처리에 신속성을 제공하여 시스템의 사용 효율을 향상시키고, 수신된 프레임 패킷의 지연 시간을 최소화하여 패킷 메모리의 용량 및 FIFO 용량의 소형화를 제공하여 시스템의 생산원가를 절감한다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 일반적인 이더넷 프레임 패킷의 구조도이고,
 도 2는 종래의 이더넷 정합장치에서 패킷 처리장치의 구성 블록도이며,
 도 3은 본 발명에 따른 이더넷 정합장치에서 패킷 처리장치를 보이는 일 실시예의 구성 블록도이며,
 도 4는 본 발명에 따른 이더넷 정합장치에서 패킷 처리장치를 보이는 다른 일 실시예의 구성 블록도이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 이더넷 망 20 : 물리층 처리기
 30 : MAC 40 : 검색 엔진
 50 : 검색 메모리부 60a : 제1FIFO
 60b : 제2FIFO 70a : 제3FIFO

70b : 제2FIFO 80 : 패킷 메모리부

90 : 제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 이더넷 정합장치에 관한 것으로, 보다 상세하게는 이더넷 망으로 부터 수신되는 프레임 패킷에 포함된 목적지 어드레스(Destination Address) 분석을 통해 수신된 패킷 데이터의 출력 포트를 결정하는 검색 엔진(Search Engine)을 MAC(Media Access Control)와의 동일 계층에 위치시켜 높은 처리량으로 고속의 데이터 송수신이 실행되도록 한 이더넷 정합장치의 패킷 처리장치 및 방법에 관한 것이다.

종래의 이더넷 정합장치는 첨부된 도 1에서 알 수 있는 바와 같이, 트위스티드 페어 케이블(Twisted Pair Cable)이나 동축 케이블(Coaxial Cable) 또는 광섬유(Optical Fiber)등의 전송 매체로 구성되는 이더넷 망(1)과, 이 이더넷 망(1)과 연결되어 송수신되는 프레임 패킷(Frame Packet)의 물리적 정합을 실행하는 물리층 처리기(2)와, 물리층 처리기(2)를 통해 수신되는 프레임 패킷의 오류 체크를 실행하며 오류가 검출되지 않는 경우 목적지 어드레스의 정보로부터 출력 포트의 결정을 위해 상위 계층으로 전송을 실행하고, 상위 계층으로 부터 목적지 어드레스의 분석을 통해 출력 포트가 결정되어 인가되는 프레임 패킷을 목적지 라우터 또는 게이트 웨이 측에 전송하기 위해 이더넷 망(1)으로 전송하는 MAC(3)와, 상기 MAC(3)에서 목적지 어드레스의 출력 포트 결정을 위하여 상위 계층으로 출력되는 프레임 패킷을 선입력 선출력되도록 일시 저장하는 제1FIFO(4a)와, 목적지 어드레스의 분석을 통해 출력 포트가 결정되어 인가되는 프레임 패킷이 선입력 선출력되도록 일시 저장하는 제2FIFO(4b)와, 상기 제1FIFO(4a)에서 인가되는 프레임 패킷을 설정된 검색 알고리즘에 따라 분석하여 목적지 어드레스에 해당하는 출력 포트를 결정하는 검색 엔진(5)과, 이더넷 망(1)에 연결되는 라우터(Router) 및 게이트웨이(Gateway) 등의 IP 어드레스가 저장되는 검색 메모리부(6)와, 상기 검색 엔진(5)에서 수신된 프레임 패킷의 목적지 어드레스에 해당하는 출력 포트가 결정되는 경우 수신된 프레임 패킷을 저장하며, 새로이 수신되는 프레임 패킷이 검출되는 경우 출력 포트가 결정되어 저장된 프레임 패킷을 MAC(3)를 통해 이더넷 망(1)으로 전송하는 패킷 메모리부(8)와, 상기 검색 엔진(5)에서 출력 포트가 결정된 프레임 패킷이 패킷 메모리부(8)에 저장될 시 패킷 메모리부(8)의 오버 플로우를 방지하기 위하여 저장하고자 하는 프레임 패킷을 일시 저장하여 완충시키는 제3FIFO(7a)와, 상기 패킷 메모리부(8)에서 이더넷 망(1)으로 전송을 위해 출력되는 프레임 패킷을 일시 저장하는 제4FIFO(7b)와, 수신되어 출력 포트가 결정된 프레임 패킷이 목적지 어드레스에 따라 결정된 출력 포트에 전송되도록 상기 제2, 제4FIFO(4b, 7b)를 제어하는 제어부(9)로 이루어진다.

전술한 바와 같은 기능을 구비하여 이루어지는 종래의 이더넷 정합장치에서 도 1에서 알 수 있는 바와 같이, 7바이트로 이루어지는 프리앰블(Preamble) 정보와 1바이트로 이루어지는 SFD(Start of Frame Delimiter) 정보, 6바이트로 이루어지는 목적지 어드레스(Destination Address ; DA)의 정보, 6바이트로 이루어지는 소스 어드레스(Source Address ; SA) 정보, 2바이트로 이루어지는 데이터 길이 및 데이터 형태의 정보, 46 내지 1500 바이트로 이루어지는 데이터(Data) 정보, 4바이트로 이루어지는 FCS(Frame Check Sequence) 정보로 구성되는 이더넷 프레임 패킷의 처리에 대한 동작은 다음과 같다.

이더넷 망(1)을 통해 송수신되는 도 1과 같은 구조의 이더넷 프레임 패킷이 물리층 처리기(2)를 통해 물리적 정합된 다음 MAC(3)측에 인가되어 프리앰블과 SFD가 연속적으로 검출되면 MAC(3)는 이후 필드들의 정보를 순서적으로 체크하여 최종 FCS까지의 정보가 정상적인지를 판단한다.

상기에서 검출되는 프레임 패킷 각 필드의 정보가 정상적으로 검출되어 오류가 없는 것으로 판단되면 MAC(3)는 이더넷 망(1)으로 부터 수신되는 프레임 패킷을 상위 계층으로 전송하기 위하여 제1FIFO(4a)에 인가하여 저장한다.

이때, 선입력 선출력 방식을 갖는 제1FIFO(4a)에 저장된 프레임 패킷은 검색 엔진(5)에 의해 액세스된 다음 설정된 검색 알고리즘에 따라 분석된 후 검색 메모리부(6)에 저장되어 있는 목적지 어드레스의 IP로 부터 수신되는 프레임 패킷의 출력 포트를 결정하여 제3FIFO(7a)를 통해 패킷 메모리부(8)의 오버 플로우가 발생되지 않도록 완충한 다음 패킷 메모리부(8)의 지정되는 어드레스 번지에 순차적으로 저장한다.

상기와 같이 패킷 메모리부(8)에 목적지 어드레스에 따라 출력 포트가 결정되어 저장된 프레임 패킷이 이더넷 망(1)으

로 전송되기 위하여 제4FIFO(7b)에 인가되어 대기하고 있는 상태에서 MAC(3)가 물리층 처리기(2)의 정합을 통해 이더넷 망(1)으로부터 새로운 프레임 패킷을 수신하거나 MAC(3) 상위 FIFO가 새로운 프레임 패킷을 수신하는 것이 제어부(9)에 검출되는 경우 상기 제어부(9)는 제2FIFO(4b)를 제어하여 목적지 어드레스에 따라 출력 포트가 결정된 프레임 패킷을 MAC(3)를 통해 소정의 상태로 처리한 다음 물리층 처리기(2)측에 인가한다.

물리층 처리기(2)는 출력 포트가 결정되어 인가되는 프레임 패킷을 소정의 상태로 처리하여 물리층을 정합하도록 한 다음 이더넷 망(1)을 통해 다음 목적지 어드레스의 게이트 웨이 또는 라우터 측에 전송한다.

상기 검색 엔진(5)에서 수신되는 프레임 패킷에 지정되어 있는 목적지 어드레스가 검색 메모리부(6)에 설정되어 있지 않아 출력 포트를 결정하지 못하는 경우 검색 엔진(5)는 현재의 목적지 어드레스에 대한 IP를 검색 메모리부(6)에 등록시킨 다음 수신된 프레임 패킷을 제3FIFO(7a)를 통해 패킷 메모리부(8)에 저장한다.

이후, 새로운 프레임 패킷의 수신이 검출되는 경우 제어부(9)는 목적 어드레스가 검출되지 않아 출력 포트가 결정되지 못한 프레임 패킷을 이더넷 정합장치가 가지고 있는 전체의 MAC 포트를 통해 프레임 패킷을 이더넷 망(1)으로 전송한다.

전술한 바와 같은 종래의 이더넷 정합장치에서 패킷 처리장치는 프레임 패킷의 구성 특성상 데이터의 비중이 전체에서 64%~98%로 상당한 큰 반면에 목적지 어드레스와 소오스 어드레스의 비중은 전체에서 0.79%~16.7%로 상당히 작은 상태이므로 목적지 어드레스와 소오스 어드레스만을 분석하는 검색 엔진이 전체 프레임 패킷이 수신될 때 까지 기다려야만 하므로 수신되는 패킷이 입력된 이후 결정된 포트로 출력되기까지 지연 시간이 많이 발생하는 문제점이 있었다.

또한, 프레임 패킷의 전송 시간 지연으로 이더넷 정합장치의 효율이 저하되고 이를 극복하기 위해 내부에 많은 리소스를 필요로 하게 되어 시스템의 전체적인 비용의 상승을 초래하게 되는 문제점이 있었다.

또한, 여러 포트가 존재하는 경우 송수신되는 프레임 패킷을 저장하기 위한 대용량의 FIFO가 필요하게 되어 운용을 지원하는 소프트웨어 및 하드웨어의 구성이 복잡하여 지는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 전술한 바와 같은 제반적인 문제점을 감안한 것으로, 그 목적은 이더넷 망으로부터 수신되는 프레임 패킷에 포함된 목적지 어드레스 분석을 통해 수신된 패킷 데이터의 출력 포트를 결정하는 검색 엔진을 MAC와 동일 계층에 위치시켜 MAC가 프레임 패킷을 처리하는 상태에서 검색 엔진이 목적지 어드레스를 분석하도록 함으로써 수신되는 프레임 패킷의 처리에 신속성을 제공하여 시스템의 효율을 상승시키도록 한 것이다.

또한, 수신된 프레임 패킷이 지연되는 시간을 최소화시켜 패킷 메모리수단 및 FIFO를 소용량으로 구현하여 시스템의 전체적인 원가 절감으로 소비자의 욕구를 충족시키도록 한 것이다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위한 본 발명은, 이더넷 망에서 수신되는 프레임 패킷에 포함된 필드 정보를 분석하는 MAC와 상기 프레임 패킷에 포함된 목적지 어드레스 정보와 소오스 어드레스 정보를 분석하여 출력 포트를 결정하는 검색 엔진을 상기 MAC와 동일 계층에 위치시켜 구성하는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리장치를 제공한다.

상기한 기술적 특징을 갖는 본 발명의 이더넷 정합장치는 이더넷 망으로부터 수신되는 프레임 패킷이 검출되면 MAC가 프레임 패킷에 포함되어 있는 목적지 어드레스 정보와 소오스 어드레스 정보를 추출하여 상기 MAC와 동일 계층에 위치되어 있는 검색 엔진측에 인가하고, MAC가 추출된 어드레스 정보 이후의 필터 정보를 처리하여 FIFO에 저장하는 상태에서 상기 검색 엔진은 목적지 어드레스 정보와 소오스 어드레스 정보를 분석하여 출력 포트를 결정하며, 결정된 출력 포트가 현재 할당 가능한 상태이면 상기 FIFO에 일시저장되어 있는 프레임 패킷을 해당 출력 포트를 통해 이더넷 망으로 전송한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 일 실시예를 상세히 설명하면 다음과 같다.

도 3에서 알 수 있는 바와 같이, 본 발명의 일 실시예에 따른 이더넷 정합장치에서 패킷 처리장치는 이더넷 망(10)과, 이에 연결되는 하위 계층인 물리층 처리기(20)와, MAC(30), 검색 엔진(40), 검색 메모리부(50), 제1FIFO(60a), 제2FIFO(60b), 제3FIFO(70a), 제4FIFO(70b), 패킷 메모리부(80) 및 제어부(90)로 이루어지는데, 이더넷 망(10)은 전송매체로 트위스티드 페어 케이블이나 동축 케이블 또는 광섬유등으로 이루어지며 프레임 패킷의 전송을 담당한다.

물리층 처리기(20)는 이더넷 망(10)과 연결되어 이더넷 망(10)을 통해 전송되는 프레임 패킷을 물리적 정합한 다음 번조된 신호를 복조한다.

MAC(30)는 물리층 처리기(20)를 통해 수신되는 프레임 패킷의 출력 포트를 결정하기 위하여 목적지 어드레스와 소스 어드레스의 정보를 검색 엔진(40)측에 전송함과 동시에 수신되는 프레임 패킷의 이후 필드에 대한 처리를 실행하며, 목적지 어드레스의 분석에 따라 출력 포트가 결정되는 경우 해당 프레임 패킷을 목적지 라우터 또는 게이트 웨이측에 전송한다.

검색 엔진(40)은 상기 MAC(30)와 동일 계층에 위치되고 이더넷 정합장치에 구성되는 각각의 MAC(30)에 하나씩 구비되며, 상기 MAC(30)에서 인가되는 목적지 어드레스 및 소스 어드레스 정보로부터 출력 포트 결정을 결정한다.

검색 메모리부(50)는 이더넷 망(10)에 연결되는 라우터 및 게이트 웨이들의 IP 어드레스가 저장되어 수신되는 프레임 패킷의 출력 포트 결정을 지원한다.

상기에서 각각의 검색 엔진(40)은 하나의 검색 메모리부(50)를 공유하며, 검색 메모리부(50)는 고속이면서 MAC(30)의 동작 주파수 보다 빠른 동작 주파수를 갖는다.

패킷 메모리부(80)는 목적지 어드레스 및 소스 어드레스의 분석과 검색 메모리부(50)에 저장된 IP 데이터의 분석에 따라 출력 포트가 결정된 프레임 패킷을 결정된 출력 포트의 사용이 할당되는 시점까지 소정의 어드레스 번지에 저장한다.

제1, 제3FIFO(60a)(70a)는 MAC(30)에 의해 필드 처리가 실행되고 검색 엔진(40)에 의해 출력 포트가 결정되어 출력 포트의 할당을 대기하는 프레임 패킷을 일시 저장하여 패킷 메모리부(80)가 오버 플로우되는 것을 방지한다.

제2, 제4FIFO(60b)(70b)는 상기 패킷 메모리부(80)로부터 출력되어 결정된 출력 포트의 할당을 대기하는 프레임 패킷을 일시 저장하여 데이터의 유실을 방지하여 준다.

제어부(90)는 수신된 프레임 패킷의 출력 포트가 결정된 상태에서 해당 출력 포트가 사용 가능한 상태이면 수신된 프레임 패킷을 해당 출력 포트의 FIFO측에 인가하고, 결정된 출력 포트의 사용을 대기하여야 하는 상태인 경우 수신된 프레임 패킷을 패킷 메모리부(80)에 저장한다.

전술한 바와 같은 기능을 구비하여 이루어지는 기술적 구성의 본 발명에서 이더넷 망을 통해 수신되는 프레임 패킷의 처리에 대한 동작은 다음과 같다.

전송 매체인 이더넷 망(10)을 통해 송수신되는 도 1과 같은 구조의 이더넷 프레임 패킷이 물리층 처리기(20)에 검출되면 물리층 처리기(20)는 검출되는 프레임 패킷을 복조하여 MAC(30)측에 인가한다.

이때, MAC(30)는 물리층 처리기(20)에서 복조되어 인가되는 프레임 패킷의 헤더부에서 포함되어 있는 목적지 어드레스 정보와 소스 어드레스 정보를 추출하여 검색 엔진(40)측에 인가하며, 이후 프레임 패킷의 각 필드의 정보를 분석 처리하여 전체 프레임 패킷의 수신 완료가 검출되는지를 판단한다.

상기에서 프레임 패킷의 수신 완료가 검출되는 경우 수신된 프레임 패킷을 제1FIFO(60a)측에 인가하여 일시저장한다.

상기 MAC(30)가 수신되는 프레임 패킷의 각 필드의 정보를 분석하는 상태에서 검색 엔진(40)은 MAC(30)로부터 인가된 목적지 어드레스 정보와 소오스 어드레스 정보를 설정된 알고리즘을 통해 분석한 후 검색 엔진(40)을 공유하고 있는 검색 메모리부(50)의 데이터로부터 프레임 패킷을 전송하기 위한 출력 포트를 결정한 다음 제어부(90)측에 결정된 출력 포트에 대한 정보를 인가한다.

이때, 제어부(90)는 인가되는 출력 포트의 정보에 따라 현재 제1FIFO(60a)에 저장되어 있는 프레임 패킷의 경로가 할당 가능한 상태로서 유효한지의 여부를 판단하여 경로가 할당 가능한 상태이면 해당 경로를 MAC(30)를 통해 점유한 다음 물리층 처리기(20)를 통해 프레임 패킷을 이더넷 망(10)을 통한 전송에 적합한 상태로 변조하여 점유된 해당 출력 포트를 통해 목적지의 라우터 또는 게이트 웨이측에 전송한다.

상기에서 제어부(90)에 인가되는 출력 포트의 정보가 현재 제1FIFO(60a)에 저장되어 있는 프레임 패킷을 할당할 수 없는 상태인 것으로 판단되는 경우 제어부(90)는 제1FIFO(60a)에 일시 저장되어 있는 프레임 패킷을 제2FIFO(70a)를 통해 패킷 메모리부(80)에 저장하며, 이후 시간의 경과에 따라 결정된 출력 포트의 할당이 가능하게 되는 경우 상기 패킷 메모리부(80)에 저장되어 있는 프레임 패킷을 제4FIFO(70b) 및 제2FIFO(60b)를 통해 MAC(30)에 인가한 후 물리층 처리기(20)에 의한 이더넷 망(10)의 정합으로 목적지 어드레스가 지정하는 라우터 또는 게이트 웨이 측에 전송한다.

또한, 다른 일 실시예로 도 4에서 알 수 있는 바와 같이, 이더넷 망(10)과 물리적으로 접속되는 물리층 처리기(20)로부터 복조되어 인가되는 프레임 패킷에서 목적지 어드레스 정보와 소오스 어드레스 정보를 추출한 후 전체 프레임 패킷의 수신 여부를 검출하는 MAC(30)와 상기 MAC(30)로부터 추출되어 인가되는 목적지 어드레스 정보와 소오스 정보로부터 출력 포트를 검색하여 결정하는 검색 엔진(40)을 동일 계층상에 위치시키고 이더넷 망(10)에 접속되는 각 MAC(30)를 하나 또는 그 이상의 검색 엔진(40)이 공유하도록 구성한다.

이때, 검색 엔진(40)은 MAC(30)보다 높은 클럭을 사용하며, 클럭의 증가에 따라 하나의 검색 엔진(40)이 공유할 수 있는 MAC(30)의 갯수는 증가된다.

발명의 효과

이상에서 설명한 바와 같이 본 발명은 이더넷 정합장치에서 이더넷 망으로 부터 수신되는 프레임 패킷을 처리함에 있어 MAC에서 패킷 필드의 처리를 실행함과 동시에 검색 엔진에서 목적지 어드레스 정보와 소오스 어드레스 정보로부터 출력 포트를 검출하므로 수신되는 프레임 패킷의 처리에 신속성을 제공하여 시스템의 사용 효율을 향상시키고, 수신된 프레임 패킷의 지연 시간을 최소화하여 패킷 메모리의 용량 및 FIFO 용량의 소형화를 제공하여 시스템의 생산원가를 절감한다.

(57) 청구의 범위

청구항1

이더넷 정합장치에 있어서, 이더넷 망에서 수신되는 프레임 패킷에 포함된 필드 정보를 분석하는 MAC와 상기 프레임 패킷에 포함된 목적지 어드레스 정보와 소오스 어드레스 정보를 분석하여 출력 포트를 결정하는 검색 엔진을 상기 MAC와 동일 계층에 위치시켜 구성하는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리장치.

청구항2

제 1항에 있어서, 상기 이더넷 망의 다수 포트에 연결되는 MAC 각각에 검색 엔진이 구비되는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리장치.

청구항3

제 1항에 있어서, 상기 이더넷 망의 다수 포트에 연결되는 각각의 MAC는 하나의 검색 엔진이 공유하는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리장치.

청구항4

제 1항에 있어서, 상기 검색 엔진은 사용 주파수 클럭의 변경에 따라 상기 이더넷 망의 다수 포트에 연결되는 MAC의 공유 갯수를 조정할 수 있도록 하는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리장치.

청구항5

제 2항에 있어서, 상기 MAC 각각에 구비되는 검색 엔진은 출력 포트 결정을 위해 목적지 IP가 저장되는 검색 메모리수단을 공유하는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리장치.

청구항6

이더넷 정합장치의 패킷 처리방법에 있어서, 이더넷 망으로 부터 수신되는 프레임 패킷이 검출되면 MAC가 프레임 패킷에 포함되어 있는 목적지 어드레스 정보와 소오스 어드레스 정보를 추출하여 상기 MAC와 동일 계층에 위치되어 있는 검색 엔진측에 인가하는 과정과;

상기 과정후 MAC가 추출된 어드레스 정보 이후의 필터 정보를 처리하여 FIFO에 저장하는 상태에서 상기 검색 엔진은 목적지 어드레스 정보와 소오스 어드레스 정보를 분석하여 출력 포트를 결정하는 과정과;

상기에서 결정된 출력 포트가 현재 할당 가능한 상태이면 상기 FIFO에 일시저장되어 있는 프레임 패킷을 해당 출력 포트를 통해 이더넷 망으로 전송하는 과정을 포함하는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리방법.

청구항7

제 6항에 있어서, 상기 검색 엔진에서 결정된 출력 포트가 현재 사용 불가능한 상태이면 상기 FIFO에 일시저장된 수신 프레임 패킷을 패킷 메모리수단에 저장하고 결정된 출력 포트가 유효한 포트로 할당 가능상태가 되면 상기 패킷 메모리수단에 저장된 프레임 패킷을 역세스하여 이더넷 망으로 전송하는 과정을 더 포함하는 것을 특징으로 하는 이더넷 정합장치의 패킷 처리방법.

도면

도면1

도면2

도면3

도면4

